

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/41		Z 9070-5C		
G 0 6 F 13/28	3 1 0	Y 9072-5B		
		B 9072-5B		

審査請求 未請求 請求項の数4(全 8 頁)

(21)出願番号 特願平4-196055

(22)出願日 平成4年(1992)6月30日

(71)出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72)発明者 三 上 一 彦

埼玉県岩槻市府内3丁目7番1号 富士ゼロックス株式会社岩槻事業所内

(72)発明者 山 下 純

埼玉県岩槻市府内3丁目7番1号 富士ゼロックス株式会社岩槻事業所内

(72)発明者 鈴 木 一 裕

埼玉県岩槻市府内3丁目7番1号 富士ゼロックス株式会社岩槻事業所内

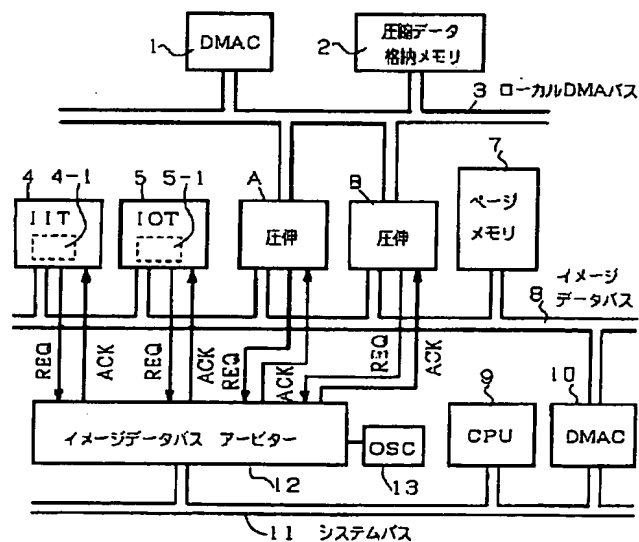
(74)代理人 弁理士 本庄 富雄 (外1名)

(54)【発明の名称】 画像処理装置

(57)【要約】

【目的】 画像処理装置において、イメージデータバス8を使用する画像入力、画像出力等の処理を、同時並行的に行い得るようにすると共に、全体の処理時間を短くすること。

【構成】 時間を小さく分割し、その分割時間単位で、優先順位に従ってイメージデータバスを使用させる。動作速度が固定的に決まっている画像入力部(IIT)、画像出力部(IOT)には、優先的に使用させ、動作速度が不定である圧縮伸長器には、画像入力部や画像出力部が使用していない場合にのみ使用させる。そうすることにより、いつでもイメージデータバス使用のリクエスト信号を受け付けておき、イメージデータバスを休ませることなく使用できるので、同時並行処理が可能となり、全体の処理時間が短縮される。



【特許請求の範囲】

【請求項1】 イメージデータバスを通じて画像データをDMA転送する画像処理装置において、該イメージデータバスの使用権を一定の短時間単位に分割し、動作速度が一定のイメージデータバス要求デバイスのグループである第1デバイスグループに割り当て、動作速度が不定のイメージデータバス要求デバイスのグループである第2デバイスグループには、前記第1デバイスグループが使用しない時のみ割り当てるイメージデータバスアービターを設けたことを特徴とする画像処理装置。

【請求項2】 イメージデータバスを介して画像データがDMA転送される画像入力部、画像出力部、ページメモリおよび圧縮伸長器と、前記DMA転送を制御する第1のDMAコントローラと、CPUと、前記圧縮伸長器で圧縮したデータを格納する圧縮データ格納メモリと、前記圧縮伸長器と圧縮データ格納メモリとの間のDMA転送を制御する第2のDMAコントローラとを具えた画像処理装置において、イメージデータバスの使用権を一定の短時間単位で画像入力部と画像出力部に交互に割り当て、画像入力部や画像出力部が使用しない時にのみ圧縮伸長器に割り当てるイメージデータバスアービターを設けたことを特徴とする画像処理装置。

【請求項3】 圧縮伸長器が複数個搭載されており、それらの間に優先順位が定められていることを特徴とする請求項2記載の画像処理装置。

【請求項4】 圧縮伸長器が複数個搭載されており、それらの間に優先順位が定められ且つ任意に変更できることを特徴とする請求項2記載の画像処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、画像入力部、画像出力部、圧縮伸長器、ページメモリ等の中でのデータ転送を、イメージデータバスを通じて行っている画像処理装置に関するものである。

【0002】

【従来の技術】 デジタル複写機等の画像処理装置では、イメージスキャナ等からの画像データを入力する画像入力部（以下「IIT」と略称する）とか、プリンタ等の記録装置へ画像データを出力する画像出力部（以下「IOT」と略称する）とか、圧縮伸長器等の中でのデータ転送は、イメージデータバスを通じてDMA転送（DMA…ダイレクト・メモリ・アクセス）されている。

【0003】 図6は、そのような従来の画像処理装置のブロック構成図である。図6において、1はDMAC（ダイレクト・メモリ・アクセス・コントローラ）、2は圧縮データ格納メモリ、3はローカルDMAバス、4はIIT、4-1はバッファ、5はIOT、5-1はバッファ、6は圧縮伸長器、7はページメモリ、8はイメージデータバス、9はCPU（中央演算処理装置）、10

0はDMAC、11はシステムバスである。

【0004】 画像処理装置に入力される画像データは、IIT4のバッファ4-1にいったん格納され、所定量を単位として、イメージデータバス8を経て例えばページメモリ7にDMA転送される。また、ページメモリ7に展開した画像データを、プリンタ等に出力する時には、ページメモリ7よりイメージデータバス8を経て、いったんIOT5のバッファ5-1へDMA転送され、出力される。それらの転送の制御は、DMAC10によって行われる。DMAC10は、システムバス11を通してCPU9から送られて来る指令で、起動される。

【0005】 入力された画像データを符号化しておく必要がある場合には、圧縮伸長器6に転送され、ここで圧縮（符号化）して圧縮データ格納メモリ2へDMA転送される。圧縮データ格納メモリ2に格納した圧縮データを、画像データとして出力する場合には、圧縮伸長器6で伸長される。圧縮伸長器6と圧縮データ格納メモリ2との間でのDMA転送は、DMAC1によって制御される。

【0006】 画像処理装置の主要な構成部は、イメージデータバス8に接続されており、これを通してデータ転送を行っているが、従来の画像処理装置では、或る構成部間でのDMA転送が終了してからでないと、他の構成部間でのDMA転送を行うことは出来ない。例えば、IIT4からページメモリ7へDMA転送がされている場合には、それが終わってからでないと、ページメモリ7からIOT5へのDMA転送は行えない。

【0007】 なお、上記のような画像処理装置に関する従来の文献としては、例えば、特開昭62-176374号公報、特開昭62-266922号公報等がある。

【0008】

【発明が解決しようとする課題】（問題点）前記した従来の画像処理装置には、イメージデータバスを通して画像データをDMA転送する動作を伴う処理を、複数種類、同時並行的に行うことが出来ないという問題点があった。それに伴い、イメージデータバスが使用されずに休んでいる時間が多く、処理速度の向上を図る上での障害となっているという問題点があった。

【0009】（問題点の説明）図7は、従来の画像処理装置におけるイメージデータバスの使用状況を説明する図である。従来は、IITから画像データを入力する際のDMA転送、圧縮処理する際のDMA転送等、イメージデータバスを通じてのDMA転送は、1種類の転送が完了しなければ、他の種類の転送は行えなかった。そのため、イメージデータバスの占有状況は、例えば図7（イ）に示すようになる。従って、例えば、IIT4からページメモリ7へ画像データを入力する処理と、すでに入力した画像データをページメモリ7からIOT5へ出力する処理といった2つの種類の処理を、同時並行的にやることは出来なかった。

3

【0010】また、1種類の転送にイメージデータバスが占有されてしまうと、画像サイズによっては、イメージデータバスが使用されずに休んでいる時間があり、画像処理装置の処理速度の向上を妨げる原因になっていた。図7（ロ）は、「IIT入力」のためにイメージデータバスが占有されている時間内において、イメージデータバスが実際に使用されている状況を拡大して示した図である。斜線部が、実際に使用されている時間を表し、空白部が、使用されていない時間を表している。

【0011】次に、そのように使用されない時間が生ずる理由を、説明する。図8は、従来の画像処理装置における原稿サイズとイメージデータバスの使用時間を説明する図である。図8において、50は最大サイズ、51は原稿サイズ、52、53はライン同期信号、54、55はページ同期信号、56は、1スキャンの時間内でのイメージデータバス占有時間、S₁、S₂はスキャンライン、Wは余り幅、Lは余り長である。

【0012】最大サイズ50は、画像処理装置で処理し得る原稿の最大サイズであり、これは、設計時に決まる。原稿サイズ51は、今入力しようとしている原稿のサイズである。従って、原稿サイズ51は、最大サイズ50と一致することもあるけれども、それより小さい場合の方が多い。余り幅Wは、原稿サイズ51と最大サイズ50の横方向（スキャンライン方向）での長さの差である。同様に、余り長Lは、原稿サイズ51と最大サイズ50の縦方向（スキャンラインに対して直角方向）での長さの差である。

【0013】画像入力時のスキャンは、原稿のサイズとは関係なく、最大サイズ50について行われる。従って、原稿サイズ51の原稿の場合、余り幅Wの部分、余り長Lの部分には、読み取らせるべき原稿は存在しないのであるが、それらの部分に対してもスキャンが行われる。

【0014】従来の画像処理装置では、IIT4から画像を入力する際には、1つのスキャンの全期間にわたって、イメージデータバス8は画像入力のために占有される。即ち、スキャンラインS₁のように原稿の上をスキャンする場合でも、スキャンラインS₂のように原稿が全く存在しない部分をスキャンする場合でも、イメージデータバス占有時間56（斜線部が、占有している時間を表す）に示すように、常にイメージデータバス8を占有している。

【0015】全期間、イメージデータバス8を占有しているが、余り幅Wの部分のスキャンする時間および余り長Lの部分のスキャンする時間には、イメージデータバス8は使用されない。従って、図7（ロ）に示したように、占有されている時間の一部の時間しか、実際には使用されておらず、イメージデータバス8の使用効率が悪い。そのため、前記したような問題点が生じ、処理速度の向上を妨げている。本発明は、以上のような問題点を

4

解決することを課題とするものである。

【0016】

【課題を解決するための手段】前記課題を解決するため、本発明では、イメージデータバスを通じて画像データをDMA転送する画像処理装置において、該イメージデータバスの使用権を一定の短時間単位に分割し、動作速度が一定のイメージデータバス要求デバイスのグループである第1デバイスグループに割り当て、動作速度が不定のイメージデータバス要求デバイスのグループである第2デバイスグループには、前記第1デバイスグループが使用しない時のみ割り当てるイメージデータバスアービターを設けることとした。

【0017】また、イメージデータバスを介して画像データがDMA転送される画像入力部、画像出力部、ページメモリおよび圧縮伸長器と、前記DMA転送を制御する第1のDMAコントローラと、CPUと、前記圧縮伸長器で圧縮したデータを格納する圧縮データ格納メモリと、前記圧縮伸長器と圧縮データ格納メモリとの間のDMA転送を制御する第2のDMAコントローラとを具えた画像処理装置において、イメージデータバスの使用権を一定の短時間単位で画像入力部と画像出力部に交互に割り当て、画像入力部や画像出力部が使用しない時のみ圧縮伸長器に割り当てるイメージデータバスアービターを設けることとした。

【0018】前記画像処理装置に圧縮伸長器が複数個搭載されている場合には、それらの間に優先順位を定める。また、その優先順位は、任意に変更できるようにすることも出来る。

【0019】

【作 用】本発明の画像処理装置では、時間を割当単位時間という短時間に分割し、その割当単位時間を単位として、優先順位に従ってイメージデータバスを使用させる。そうすることにより、IIT、IOT、圧縮伸長器等から、いつでもリクエスト信号を受け付けることが出来、イメージデータバスを通して画像データをDMA転送する動作を伴う処理を、複数種類、同時並行的に行うことが可能となる。

【0020】また、イメージデータバスが、同時並行して行われる複数種類の処理に、前記割当単位時間の単位で分配されて使用されるので、使用されずに休んでいる時間が少なくなり、使用効率が向上する。その結果、全体の処理時間が短縮される。

【0021】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。図1に、本発明の画像処理装置のブロック構成を示す。符号は図6のものに対応し、A、Bは圧縮伸長器、12はイメージデータバスアービター、13は発振器である。構成上、従来の画像処理装置と異なる点は、イメージデータバス8の使用割り当て時間を調整するイメージデータバスアービター12と、それにクロッ

5

クを提供する発振器13を設けた点である。クロックは、画像処理装置がもともと有しているクロック発生回路(図示せず)を利用して、発生させることも出来る。

【0022】図1では、圧縮伸長器を2つ具えているものを示しているが、これは、1つの画像を2分割し、分割したそれぞれを別の圧縮伸長器に担当させ、並行処理することにより処理速度を向上させるものに対して、本発明を適用した例を示したものであり、1つだけ搭載しているものに対しても、勿論適用出来る。

【0023】本発明では、時間を割当単位時間という一定の短時間に分割し、それを単位として、イメージデータバス8の使用権を割り当てる。そして、その割り当ては、次の基準に則って行う。即ち、

①第1優先割当…動作速度が或る一定の値に固定されているIITとIOTとに、交互に割り当てる。

②第2優先割当…割り当てられた時間を、IITやIOTが使用しない時にのみ、圧縮伸長器に割り当てる。圧縮伸長器を複数個具えている場合には、圧縮伸長器の中でも優先順位を定めておき、その優先順位に従って割り当てる。

③要求時のみ使用許可…いずれの場合にも、イメージデータバスを実際に使用するには、イメージデータバス使用のリクエスト信号(REQ)を出し、アクノリッジ信号(ACK)を受け取って使用する。

【0024】IIT4とIOT5に対して、第1優先で割り当てる理由は、これらは一定の速度で動作するものとして作られており、DMA転送もその速度に合わせてやらなければならないという速度的制約があるからである。即ち、IIT4とIOT5の動作速度は、機械的な設計条件より決まっており、一定である。

【0025】例えば、IIT4が動作する場合、イメージスキャナ等の画像読取機構の動作速度に対応して、一定の速度で休むことなく画像データが流入して来る。それはバッファ4-1にいったん入るが、所定量以上は格納しておけない。従って、バッファ4-1に画像データが所定量たまる前に、転送先(例、ページメモリ7)へ送り出してやらなければならない。そのため、イメージデータバス8の使用を、優先的に割り当ててやる必要がある。

【0026】これに対し、圧縮伸長器A、Bには、IIT4やIOT5にあるような速度的制約はなく、圧縮処理や伸長処理は、任意に停止したり再開したりすることが出来る。従って、圧縮伸長器A、Bが関与するDMA転送は、イメージデータバス8が空くのを待って行うことが可能である。そのため、イメージデータバス8の割り当ての優先順位は、第2優先とされる。図1の例のように、圧縮伸長器が複数個ある場合には、それらの中でも優先順位をつけておく(例えば、A、Bの順という具合に)。

【0027】図9は、本発明の画像処理装置における原

6

稿サイズとイメージデータバスの使用時間を説明する図である。符号は、図8のものに対応する。これは、原稿サイズ51の原稿をイメージスキャナで読み取り、その画像データを、IIT4を経て入力する場合を例にとって描いたものである。

【0028】図8と異なっている点は、イメージデータバス占有時間56の部分である。これは、原稿を横切って通過するスキャンラインS1のスキャンの時の状態を示している。時間が一定の短時間である割当単位時間に分割され、その割当単位時間がIIT4とIOT5とに交互に割り当てられ、IIT4に割り当てられた割当単位時間のうち、ライン同期信号53が出ている時間内に属する割当単位時間でのみ、IIT4がイメージデータバス8を占有している(斜線部が、占有時間を示している)。

【0029】スキャンが進行して、原稿サイズ51の原稿の下端の下方のスキャンラインS2でのスキャンになると、ライン同期信号53はもはや0となるから、IIT4がイメージデータバス8を占有することは許さない。そして、スキャンが行われている期間であっても、IIT4に割り当てられている割当単位時間の内、IIT4が実質的に動作していない余り幅Wや余り長Lの部分をスキャンする時間内に属している割当単位時間には、圧縮伸長器AまたはBに、イメージデータバス8を使用する権利を譲る。

【0030】このようにすることにより、イメージデータバス8の使用効率を引き上げて処理速度を速めることが出来ると共に、複数種類のDMA転送を、同時並行的に行わせることが可能となる。それにより、画像入力、圧縮処理、伸長処理、画像出力等を、同時並行的に行うことが出来る。

【0031】(イメージデータバスアービターの構成)前記のような基準に則ってイメージデータバス8の使用権を割り当て、且つ使用させるために設けられたのが、イメージデータバスアービター12であるが、図3に、その具体的な構成を示す。図3において、20~25は信号線、26~30はDフリップフロップ、31~35はAND回路、36~41はインバータ回路、42、43はOR回路、44~47は信号線である。

【0032】信号線24には、図1の発振器13からのクロックが入力され、Dフリップフロップ26~30のクロック入力端子に与えられる。Dフリップフロップ26は、このクロックを基にして、その出力端子QからIITイネーブル信号を出す。図4に、クロックとIITイネーブル信号の波形図を示す。IITイネーブル信号は、クロック間の時間(例えば、170ns)を半周期とする矩形波である。

【0033】Dフリップフロップ27~30は、イメージデータバス8の使用要求を出すIIT4等からのリクエスト信号を受け取り、クロックと同期して出力するた

7

めのものである。Dフリップフロップ27には、IIT4からのリクエスト信号が入力され、Dフリップフロップ28には、IOT5からのリクエスト信号が入力される。

【0034】これらの出力は、2入力端子のAND回路31、32の一方の入力端子に、それぞれ入力される。AND回路31のもう一方の入力端子には、IITイネーブル信号が入力され、AND回路32のもう一方の入力端子には、IITイネーブル信号をインバータ回路36によって反転したものが入力される。

【0035】従って、AND回路31、32は、IITイネーブル信号によって交互にゲートオンの状態にされ、その状態の時にDフリップフロップ26、27からの出力が入って来れば、それがアクノリッジ信号として信号線44、45を経て出力される。

【0036】Dフリップフロップ29、30からは、圧縮伸長器A、Bからのリクエストがクロックに同期して出力されるが、それらは、それぞれ3入力端子のAND回路34、35の1つの入力端子に入力される。3入力端子の内の他の1つには、2入力端子のAND回路33の出力が入力される。AND回路33の2つの入力端子は、それぞれインバータ回路37、38を経て、AND回路31、32の出力端子に接続されている。従って、AND回路33は、IIT4、IOT5へのアクノリッジ信号がいずれも出ていない時のみ、ハイを出力する。これにより、IIT4とIOT5へのアクノリッジ信号を、圧縮伸長器A、Bへのアクノリッジ信号よりも、優先的に出力することが可能とされる（第1優先順位）。

【0037】圧縮伸長器A、B間での優先順位は、信号線25から入力する優先信号により決める。優先信号の値がハイの時には、圧縮伸長器Aが優先され、ローの時には、圧縮伸長器Bが優先される。即ち、優先信号がハイの時には、OR回路42よりハイが出力され、AND回路34の第3の入力端子に入力され、ゲートオン状態になる。この時、圧縮伸長器AからリクエストがDフリップフロップ29より出ていれば、それはAND回路34を通過し、圧縮伸長器Aへのアクノリッジ信号として出力される。

【0038】他方、2入力端子のOR回路43の一方の入力端子には、ハイの優先信号がインバータ回路41によりローにされて入力される。圧縮伸長器AからのリクエストがDフリップフロップ29から出力されている場合、それがインバータ回路40によってローにされたものが、他方の入力端子に入力される。従って、OR回路43からは、ハイの出力は出ない。従って、AND回路35はゲートオン状態にならず、圧縮伸長器Bからリクエストがあっても、圧縮伸長器Bへのアクノリッジ信号は出されない。このようにして、圧縮伸長器Aの方の優先が確保される。なお、圧縮伸長器Bの方を圧縮伸長器Aよりも優先したい場合には、信号線25から入力する

8

優先信号の値をローにすればよい。

【0039】（イメージデータバスアービターの動作）図5は、イメージデータバスアービターの動作を説明するタイムチャートである。図5（イ）は、図4（ロ）と同じIITイネーブル信号である。図5（ロ）は、このIITイネーブル信号を基に時間を分割当単位時間に分割し、割り当て順位が第1優先順位とされているIIT4とIOT5とに、イメージデータバス8の使用権を交互に割り当てた状況を示している。「I」が書き入れている割当単位時間はIIT4に使用権が割り当てられた時間であることを示し、「O」が書き入れている割当単位時間はIOT5に使用権が割り当てられた時間であることを示している。この割り当ては、図3のAND回路31、32の2つの入力端子の内、一方の入力端子に、IITイネーブル信号により交互にハイの値が入力されることにより、行われる。

【0040】図5（二）は、IIT4からのリクエスト信号（図3のDフリップフロップ27の出力）であるが、これは、原稿をスキャンする際のライン同期信号（図9の53）に対応して出される。図5（ホ）はIIT4へのアクノリッジ信号であるが、これは、図5（二）のリクエスト信号が出されている時間内であって、図5（ロ）の「I」が書き入れている割当単位時間の時にのみ、出される（図3の信号線44）。その割当単位時間に、IIT4はイメージデータバス8を実際に使用する。図5（ハ）で「I」が書き入れている割当単位時間が、そのことを表している。

【0041】IOT5が実際にイメージデータバス8を使用する割当単位時間も、同様に求められ、それは、図5（ハ）に「O」と書き入れている割当単位時間である。即ち、図5（ヘ）のIOT5からのリクエスト信号（図3のDフリップフロップ28の出力）が出されている時間内であって、図5（ロ）に「O」が書き入れている割当単位時間の時に、図5（ト）のIOT5へのアクノリッジ信号（図3の信号線45上の信号）が出される。

【0042】圧縮伸長器A、Bからイメージデータバス8を使用したいとのリクエスト信号が出されると、これらは、IIT4およびIOT5よりも優先順位が低くされているので、該リクエスト信号が出されている時間内であって、IIT4またはIOT5にアクノリッジ信号が出されていない割当単位時間のみに、イメージデータバス8の使用権が与えられる。

【0043】いま、圧縮伸長器AとBの間では、圧縮伸長器Aの方を優先すると決めていけるとする。この優先は、図3の信号線25に「ハイ」の優先信号を与えることにより決められる。すると、図5（リ）の圧縮伸長器Aへのアクノリッジ信号は、図5（チ）の圧縮伸長器Aからのリクエスト信号が出ている時間の内、図5（ホ）のアクノリッジ信号、図5（ト）のアクノリッジ信号

が、いずれも出ていない割当単位時間にのみ、出される。その割当単位時間は、図5(ハ)に「A」と書き込まれている時間であり、この時間に、圧縮伸長器Aはイメージデータバス8を使用することが出来る。

【0044】圧縮伸長器Bは、図5(ヌ)のリクエスト信号を出している時間内であって、IIT4、IOT5へは勿論、圧縮伸長器Aへもアクノリッジ信号が出されていない割当単位時間にのみ、アクノリッジ信号が出される(図5(ル))。その割当単位時間は、図5(ハ)に「B」と書き込まれている時間であり、この時間に、圧縮伸長器Bはイメージデータバス8を使用することが出来る。

【0045】ところで、圧縮伸長器を2つ具えている場合には、優先順位が低くされている圧縮伸長器の処理が遅れるという問題が出て来る。図2は、圧縮伸長器を2つ具えている場合のイメージデータバス使用状況を説明する図である。これは、IOT5への出力をしながら、圧縮伸長器A、Bでの処理を並行して行っている場合を例にとっている。

【0046】図2(イ)は、イメージデータバスの使用状況を示しており、1つの区画は前記の割当単位時間を表し、その中に書き込まれている「O」は、IOT5が使用していることを示し、「A」、「B」は、それぞれ圧縮伸長器A、Bが使用していることを示している。図2(ロ)の横方向に引かれた実線は、圧縮伸長器Aでの処理が行われ、DMA転送するに十分な画像データが得られるまでの時間を表し、図2(イ)に向けて書かれた矢印線は、該処理で得られた画像データをDMA転送する割当単位時間を指している。その転送をした後、処理が再開される。図2(ハ)は、同様に、圧縮伸長器Bでの処理について示したものである。

【0047】圧縮伸長器Aは、圧縮伸長器Bより優先されると仮定しているから、圧縮伸長器Aの処理が終了すると、IOT5がイメージデータバス8を使用していない割当単位時間には、圧縮伸長器Aが使用する。しかし、割当単位時間イー1の場合には、圧縮伸長器Aの処理ロー1が、割当単位時間イー1の開始時までには終了していなかったため、圧縮伸長器Aは使用することは出来ない。

【0048】その場合には、DMA転送するに十分な画像データが得られるまでの処理ハー1を既に終えて、割当単位時間が空くのを待っている圧縮伸長器Bに、割当単位時間イー1でのイメージデータバス8の使用が許可される。割当単位時間イー2でも、同様にして、圧縮伸長器Bに使用が許可される。

【0049】圧縮伸長器Bの優先順位が、常に圧縮伸長器Aより低くされていると、前記のように、圧縮伸長器Bがイメージデータバス8を使用できる時間が少ないから、圧縮伸長器Bが担当している画像領域の処理は、圧縮伸長器Aが担当している画像領域の処理より、大幅に

遅れてしまう。

【0050】それを避けるためには、1つの画像の処理を終えるまでの途中で、圧縮伸長器間の優先順位を変更してやればよい。例えば、図1のCPU9が、一定の時間間隔毎に(例、100msに1回)、DMAC10のアドレスカウンタ(図示せず)をモニターすることにより、処理が遅れている圧縮伸長器を見出し、その圧縮伸長器の優先順位を引き上げてやる。優先順位を逆にするには、図3の信号線25から入力する優先信号の値を、反転させればよい。

【0051】

【発明の効果】以上述べた如く、本発明の画像処理装置では、時間を割当単位時間という短時間に分割し、それを単位として、優先順位に従ってイメージデータバス8を使用させるので、IIT4、IOT5、圧縮伸長器A、B等から、いつでもリクエスト信号を受け付けることが出来る。そのため、イメージデータバス8を通して画像データをDMA転送しなければならない動作を伴う処理を、複数種類、同時並行的に行うことが出来るようになった。

【0052】また、イメージデータバス8が、同時並行して行われる複数の種類の処理に、前記割当単位時間単位で使用されるので、使用されずに休んでいる時間が少なくなり、使用効率が向上する。そのため、全体の処理が終わるまでの時間が、短くなる。

【図面の簡単な説明】

【図1】 本発明の画像処理装置のブロック構成図

【図2】 圧縮伸長器を2つ具えている場合のイメージデータバス使用状況を説明する図

【図3】 イメージデータバスアービターの構成を示す図

【図4】 クロックとIITイネーブル信号の波形図

【図5】 イメージデータバスアービターの動作を説明するタイムチャート

【図6】 従来の画像処理装置のブロック構成図

【図7】 従来の画像処理装置におけるイメージデータバスの使用状況を説明する図

【図8】 従来の画像処理装置における原稿サイズとイメージデータバスの使用時間を説明する図

【図9】 本発明の画像処理装置における原稿サイズとイメージデータバスの使用時間を説明する図

【符号の説明】

1…DMAC、2…圧縮データ格納メモリ、3…ローカルDMAバス、4…IIT、4-1…バッファ、5…IOT、5-1…バッファ、6…圧縮伸長器、7…ページメモリ、8…イメージデータバス、9…CPU、10…DMAC、11…システムバス、12…イメージデータバスアービター、13…発振器、20~25…信号線、26~30…Dフリップフロップ、31~35…AND回路、36~41…インバータ回路、42、43…OR

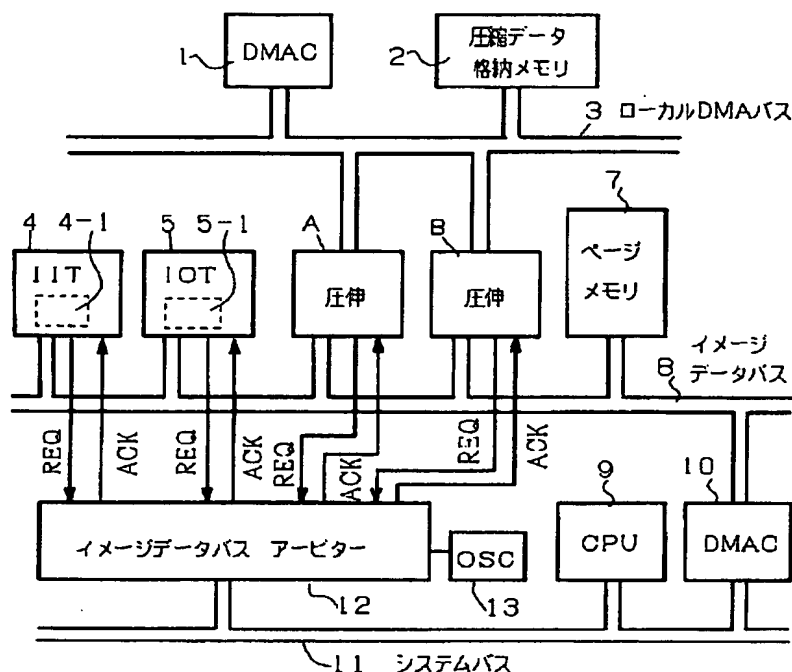
11

回路、44~47…信号線、50…最大サイズ、51…
原稿サイズ、52、53…ライン同期信号、54、55
…ページ同期信号、56…イメージデータバス占有時

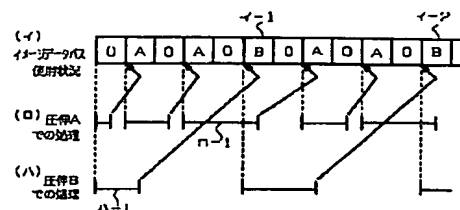
12

間、A、B…圧縮伸長器、S₁、S₂…スキャンライン、W…余り幅、L…余り長

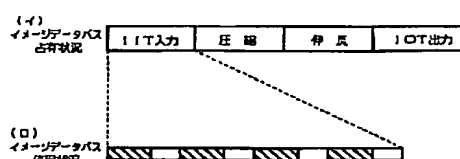
【图 1】



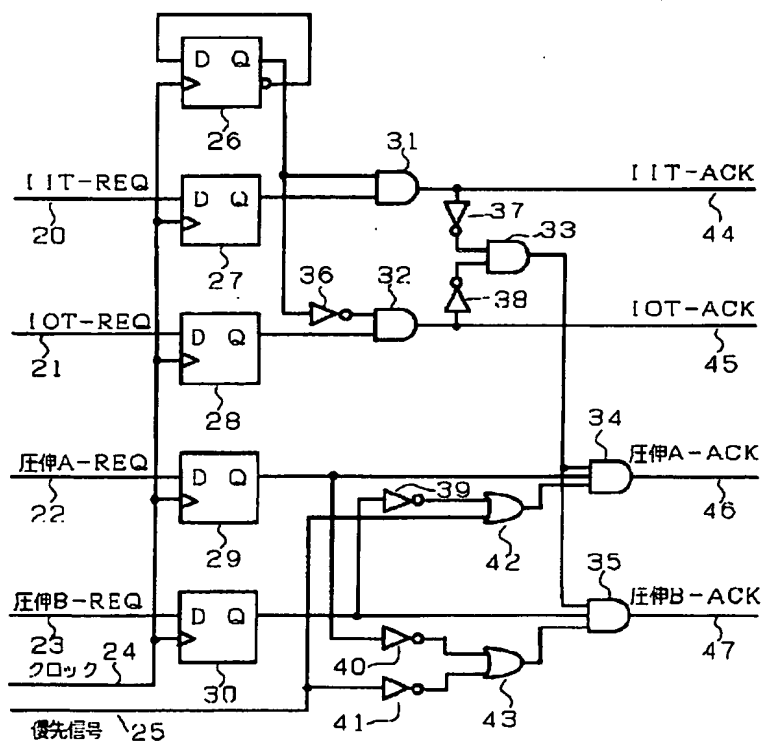
【図2】



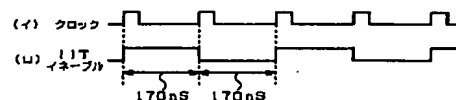
【图7】



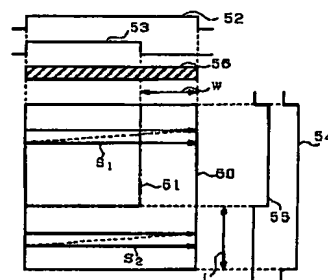
【图 3】



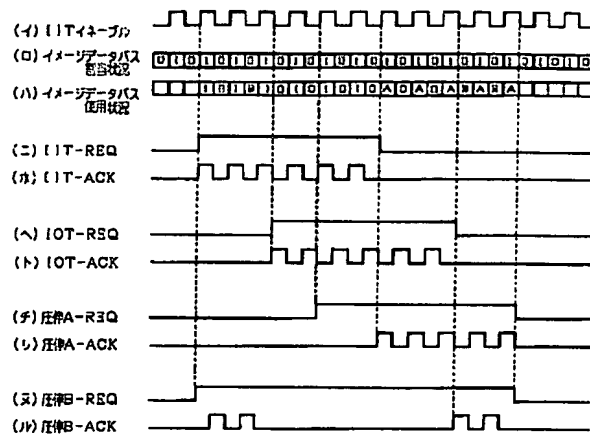
【图 4】



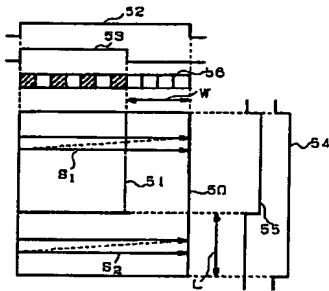
【图 8】



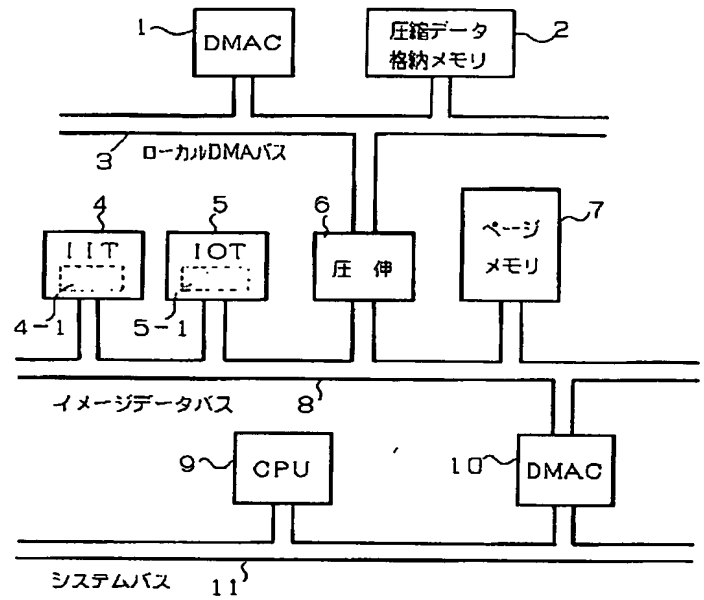
【図5】



【図9】



【図6】



BEST AVAILABLE COPY